

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

BEST AVAILABLE COPY

PUBLICATION NUMBER : 63131104
PUBLICATION DATE : 03-06-88

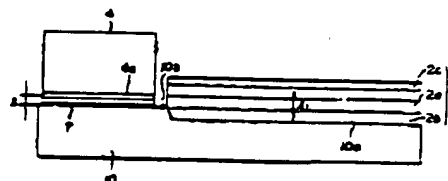
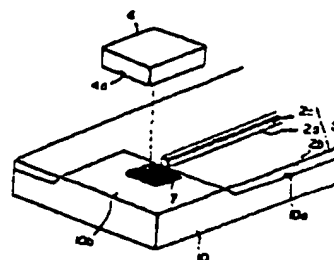
APPLICATION DATE : 20-11-86
APPLICATION NUMBER : 61277058

APPLICANT : NIPPON TELEGR & TELEPH CORP
<NTT>

INVENTOR : KOBAYASHI MORIO

INT.CL. : G02B 6/12 H01L 27/15

TITLE : HYBRID OPTICAL INTEGRATED
CIRCUIT



ABSTRACT : PURPOSE: To eliminate the need to form an element as a thin piece and to use an Si substrate as a heat sink by providing an optical waveguide in a recessed part of the Si substrate and coupling the waveguide with the element.

CONSTITUTION: The optical waveguide 2 is formed in the recessed part 10a of the Si substrate 10 and a semiconductor laser 4 is provided to its projection part 10b by p-side down bonding. The waveguide 2 consists of a core layer 2a, a buffer layer 2b, and a clad layer 2c and the top surface of the layer 2b is in level with the top surface of the projection part 10b. For the purpose, the distance l_1 from the top surface of the layer 2b to the center of the layer 2a is set equal to the height (l) from the top surface of the projection part 10b to an active layer 4a and then the laser 4 and waveguide 2 are finely positioned without polishing the substrate of the laser 4. Further, the laser 4 is bonded directly onto the substrate 10, so the substrate 10 is usable as the heat sink.

COPYRIGHT: (C)1988,JPO&Japio

(19) JAPANESE PATENT OFFICE (JP)
(12) OFFICIAL GAZETTE FOR UNEXAMINED PATENT APPLICATIONS
(A)

(11) Patent Application Disclosure (Kokai) Number: S63-131104

(43) Date of Disclosure (Laid Open): June 3, 1988

(51) Int Cl⁴.	Identif. Symbol	Intra-Office File Number
G 02 B 6/12		B-8507-2H
H 01 L 27/15		6819-5F

Number of Claimed Inventions: 1 (total of 7 pages)

Request for Examination: Not Yet Requested

(54) Title of the Invention: Hybrid Optical Integrated Circuit

(21) Application Number: S61-277058

(22) Filing Date: November 20, 1986

(72) Inventor: Yasufumi Yamada
Ibaragi Electro-Communications Laboratory
Japan Telegraph and Telephone Corporation
162, Aza Shirane, Oaza Shirakata,
Tokai-mura, Naka-gun, Ibaragi-ken

(72) Inventor: Masao Kawachi
Ibaragi Electro-Communications Laboratory
Japan Telegraph and Telephone Corporation
162, Aza Shirane, Oaza Shirakata,
Tokai-mura, Naka-gun, Ibaragi-ken

(72) Inventor: Morio Kobayashi
Ibaragi Electro-Communications Laboratory
Japan Telegraph and Telephone Corporation
162, Aza Shirane, Oaza Shirakata,
Tokai-mura, Naka-gun, Ibaragi-ken

(71) Applicant: Japan Telegraph and Telephone Corporation
1-1-6, Uchisaiwai-cho, Chiyoda-ku, Tokyo

(74) Agent: Masatake Shiga, Patent Attorney

SPECIFICATION

1. Title of the Invention: Hybrid Optical Integrated Circuit

2. Claims

(1) A hybrid optical integrated circuit comprising: a silicon substrate with a surface on which a recess and a protrusion are formed, an optical guide formed on the recess of said silicon substrate, and optical devices that are mounted on the relief of said silicon substrate, wherein said optical guide and the optical devices are coupled.

(2) The hybrid optical integrated circuit of Claim 1, wherein said optical guide is provided on said recess in a condition where its buffer layer is formed on the upper surface of said recess.

3. Detailed Description of the Invention (Field of Industrial Application)

This invention is directed at a hybrid optical integrated circuit in which an optical guide and optical devices, such as semiconductor lasers, are integrated in a composite manner.

(Prior Art and the Problems to Be Solved by the Invention)

For size reductions, reliability improvement, and cost reductions in various optical circuits necessary in the fields of optical communications and optical information processing, the realization of a hybrid optical integrated circuit that integrates optical guides and various optical devices that are formed on a silicon substrate is needed. Essential to the realization of a hybrid optical integrated circuit is the efficient optical coupling of optical guides and optical devices on the same substrate.

Fig. 8 shows a prototype for this type of hybrid optical integrated circuit; it is an example wherein quartz optical guides and semiconductor lasers formed on a silicon substrate are integrated. (H. Terui, Y. Yamada, M. Kawachi, and M. Kobayashi. *Hybrid Integration of a Laser Diode and High-Silica Multimode Optical Channel Waveguide on Silicon*, Electron. Lett. Vol 21, pp. 646-648, 1985).

In Fig. 8, Reference Number 1 denotes a silicon substrate and 2, an optical guide, with a three-layer structure: a core layer 2a, a buffer layer 2b, and a clad layer 2c. Reference Number 3 denotes a laser guide; 4, a semiconductor laser; and 4a, its activation layer. Reference Number 6 denotes a power supply wire; and 7, a conducting film. The semiconductor laser 4 is pressed against the laser guide 3 so that it is properly aligned with the optical guide 2. The height L_0 from the surface of the silicon substrate 1 to the center of the activation layer 4a for the semiconductor laser 4 with the semiconductor laser 4 mounted on the substrate 1 is set to $L_0 = L_{01}$ so that this height is equal to the height L_{01} of the center of the core 2a of the optical guide 2. Therefore, by simply mounting the semiconductor laser 4 on the silicon substrate and aligning it horizontally with the positions of the wave guide and the laser activation layer, the laser and the waveguide can be aligned with each other. In this case, because the semiconductor laser 4 is directly in contact with the silicon substrate, the silicon substrate can act as a heat sink for the laser. In the above structure, however, in order to make the height L_0 of the laser activation layer 4 equal to the height L_{01} of the center of the core of the waveguide, the substrate for the semiconductor laser 4 needs to be ground to the required thickness. This creates the following problems: In a multimode system 2, the optical guide 2 has layers of the following thickness values: the core layer, approximately 50 μm ; the buffer layer, approximately 15 μm ; and the clad layer, approximately 5 μm . In a single-mode system, the core layer is approximately 10 μm thick; the buffer layer, approximately 20 μm ; and the clad layer, approximately 10 μm . Therefore, to effect the equality $L_0 = L_{01}$, the thickness of the substrate for the semiconductor laser needs to be reduced to approximately 40 μm with respect to the multimode system, and to approximately 25 μm with respect to the single-mode system. Moreover, the multimode system requires a thickness precision of $\pm 3 \mu\text{m}$ and the single-mode system, $\pm 1 \mu\text{m}$, which are stringent requirements. GaAs and InP materials that form a semiconductor laser are fragile. It is difficult to grind them thinly to the required level of precision. In particular, it is difficult

to bond a thin semiconductor laser, as in the case of a single-mode system, to a silicon substrate, which has been a significant problem in the formation of a hybrid optical integrated circuit. A method for realizing a precise alignment in the height direction without requiring the grinding of the semiconductor laser 4 is the P-side down bonding method, illustrated in Fig. 9, in which the activation layer 4a of the semiconductor laser 4 is held face down. In this method, it suffices to make the thickness L of the epitaxial growth layer on the activation layer 4a of the semiconductor laser agree with the height L_1 of the center of the waveguide core layer. Because the thickness of the epitaxial growth layer is approximately $5\text{ }\mu\text{m}$ at most, it is easy to determine this thickness with a precision of $\pm 1\text{ }\mu\text{m}$. In this case, however, conversely with Fig. 8, the height L_1 must also be set to approximately $5\text{ }\mu\text{m}$, which restricts the thickness of the waveguide core layer to less than $10\text{ }\mu\text{m}$. Therefore, this method is applicable only to single-mode systems. Further, if the core layer is approximately $10\text{ }\mu\text{m}$ thick, the buffer layer must also be $10\text{ }\mu\text{m}$ thick at a minimum. Therefore, if the P-side down bonding process of Fig. 9 is to be conducted, the semiconductor laser 4 cannot be brought into direct contact with the silicon substrate 1, and thus the silicon substrate cannot be used as a heat sink. In this case, a separate heat sink 8 must be provided, which detracts from the purposes of reducing the size of optical integrated circuits and increasing their packing density.

The purpose of the present invention is to provide a hybrid optical integrated circuit wherein the need for reducing the thickness of the semiconductor laser, which has been a problem in attempts to integrate optical guides and semiconductor lasers, is eliminated and the silicon substrate can be used as a heat sink, so that both a size reduction and an increased packing density are achieved.

(Means of Solving the Problems)

In a hybrid optical integrated circuit in which optical devices, such as semiconductor lasers, are optically coupled with optical guides on a silicon substrate, the present invention comprises: forming a recess and a relief on the surface of a silicon substrate, forming an optical guide on the recess, and mounting optical devices on the relief.

(Embodiments)

Fig. 1 (a) and 1 (b) illustrate Embodiment 1 of the present invention. Reference Number 10 denotes a silicon substrate that contains a recess 10a and a relief 10b. Reference Number 2 denotes a quartz optical guide that is formed on the recess, where 2a denotes a core layer; 2b, a buffer layer; and 2c, a clad layer. Reference Number 4 denotes a semiconductor laser; 4b, its activation layer; and 7, a conducting film. In this embodiment, the buffer layer 2b is formed in such a way that it fills the recess 10a of the silicon substrate 10. The height of the top surface of the buffer layer 2b is made equal to the height of the top surface of the relief 10b of the silicon substrate. Therefore, by making the distance L_1 from the top side of the buffer layer 2b to the center of the core layer 2a equal to the top side of the relief 10b to the activation layer 4a when the semiconductor laser 4 is bonded P-side down onto the silicon substrate, it is possible to precisely align the semiconductor laser 4 with the optical guide 2 in the height direction without grinding the substrate for the semiconductor laser 4. Moreover, in this case, the direct bonding of the semiconductor laser 4 onto the silicon substrate 10 permits the use of the silicon substrate 10 as a heat sink.

The optical integrated circuit of this structure can be fabricated as illustrated in Fig. 2 (a) – (e). In the following, we describe the fabrication process in the indicated order. Fig. (a) shows the process for the formation of a recess 10a and a relief 10b on the silicon substrate 10. For this purpose, the dry-etching of the silicon substrate by means of CBrF_3 gas or the wet-etching (anisotropic etching) of the silicon substrate by means of an alkaline etchant can be employed. The dry-etching creates an almost vertical topology on the silicon substrate. By contrast, the wet-etching produces an oblique topology. Fig. (b) shows the process for the formation of a buffer layer 10b on the silicon substrate on which the recess 10a and the relief 10b are already formed. For this purpose, a method (flame deposition method) (Patent Application Number S58-1473; H. Kawachi *et al.*, Electron. Lett., 19 (1983) 583) is employed wherein raw material gases such as SiCl_4 and TiCl_4 are hydrolyzed and decomposed in an oxygen/hydrogen flame to cause them to be deposited onto the silicon substrate 10, after which the substrate is heated at a high temperature in an electric furnace to render it into transparent glass. Fig. (c) shows the process wherein any excess buffer layer is removed, the surface of the relief 10b on the silicon substrate is exposed, and the substrate is planarized to this height. For this process, either mechanical grinding or the dry-etching of a quartz-type glass film by means of freon-based gas such as C_2F_6 can be employed. Fig. (d) shows the process for the formation of a core layer 2a and a clad layer 2c on the planarized optical integrated circuit substrate. This process can be conducted by employing the flame deposition method that was used in Fig. (b). Fig. (e) shows the process wherein any excess quartz waveguide is subjected to photolithography, followed by removal by means of dry-etching using a freon gas such as C_2F_6 . As a result, the silicon substrate in the waveguide relief portion is exposed again. Finally, an Ag-Sn alloy film, for example, as a conducting film is formed by vapor deposition on the surface of the exposed relief portion 10b of the silicon substrate, after which a semiconductor laser is mounted and fixed by P-side down-bonding. This completes the bonding process. In this process, it suffices to control either the thickness of the epitaxial growth layer for the semiconductor laser 4 or the thickness of the conducting layer so that the height L , which is the sum of the distance from the activation layer 4a of the semiconductor laser 4 to the top side of the laser and the height of the conducting film 7, equals the height L_1 of the core center of the conducting guide 2.

Embodiment 2

Fig. 3 illustrates Embodiment 2 of the present invention. This embodiment differs from Embodiment 1 in that the height of the top side of the relief 10b of the silicon substrate does not match the height of the top side of the optical guide buffer layer 2b. In Fig. 3, the height L of the activation layer 4a for the semiconductor laser 4 from the relief 10b of the silicon substrate is less than the center height L_1 of the waveguide core layer 2a. Because a topology $L_3 (= L_1 - L)$ is provided between the top side of the buffer layer 2b and the top of the relief 10b for the silicon substrate, the heights of the semiconductor laser 4 and the optical guide 2 can be matched by bonding the semiconductor laser 4 onto the top of the relief 10b of the silicon substrate by means of P-side down bonding. In the case of a multimode optical guide, wherein the thickness of the core layer may be greater than the thickness of the epitaxial layer that is grown to the top surface of the activation

layer for the conducting laser, for example, the optical circuit structure of this embodiment can be effective.

The optical circuit of this structure can be fabricated in the following process, for example: In the first step, using a method similar to Fig. 2 (a), (b), and (c), recesses and reliefs are created on a silicon substrate, after which a quartz optical guide buffer layer is formed and the surface of the substrate is planarized. Subsequently, the quartz optical guide buffer layer is etched in order to create topologies of a prescribed size, as illustrated in Fig. 4. Methods that can be used for this purpose include dry-etching using a freon-based etching gas (e.g., C_2F_6). In this process, a difference in the etching rate between the quartz glass film and the silicon substrate creates a topology. Subsequently, a core layer 2a is formed on this structure, as shown in Fig. 4 (b), after which a clad layer is formed, and then a quartz optical guide is formed. In this case, in contrast to Embodiment 1, some topology occurs on the surface of the substrate in this embodiment. This topology reflects the topology between the top of the relief 10b on the silicon substrate and the top of the buffer layer 2b in Fig. 4 (a). If this topology is so large that it can impact the subsequent optical guide patterning process, the surface is planarized by mechanical polishing, as illustrated in Fig. 2 (c). Finally, it suffices to remove any excess quartz optical guide by performing the process depicted in Fig. 2 (e).

Fig. 5 shows Embodiment 3 of the present invention, wherein a plurality of semiconductor lasers 4 are mounted on a substrate. If a plurality of semiconductor lasers are to be bonded P-side down in such a manner that each device will operate independently, the electrodes on the P side of a semiconductor laser must be insulated for each device. For this purpose, in this embodiment, a method is employed (e.g., J.D. Crow *et al.*, *Gallium arsenide laser-array-on-silicon package*, Appl. Opt., Vol. 17, 479 (1978)) wherein p-n junctions are formed on the silicon comprising the substrate and a reverse bias is applied to them. Specifically, a p-type substrate is used as the silicon substrate 10, and a dopant is diffused in the relief 10b for the silicon substrate to form an n-type region 10n. In addition, in this embodiment the reliefs 10b on the silicon substrate are formed independently for each device. In the figure, Reference Number 7b denotes a conducting film. Because the reliefs 10b on the silicon substrate are fabricated as described above, insulation for each device can be maintained when the semiconductor laser 4 is bonded p-side down onto the reliefs, as shown in Fig. 6. In this manner, a forward bias is applied to the semiconductor laser 4. In this situation, the semiconductor laser 4 assumes a reverse bias condition in which the potential of the n-type region 10n is higher than the potential of the p-type region 10p. As a result, a depletion layer 10i devoid of any dopants spreads in the p-n junction, which causes the p-type and n-type regions on the silicon substrate to be insulated from each other. Further, trenches deeper than the p-n junction layer are formed between the reliefs 10b on the silicon substrate. Consequently, the n-type regions 10n formed on the top surface of each relief 10b are electrically insulated from one another. Because in this embodiment the sizes of the optical guide 2 and the semiconductor laser 4 satisfy the relationship described in Embodiments 1 and 2, the semiconductor laser can be mounted on the relief of the silicon substrate for optical coupling with the optical guide 2. Further, because the silicon substrate acts as a heat sink, as noted above, the integration of hybrid devices does not require the provision of separate heat sinks, which permits the mounting of devices on the substrate in a high packing density.

Embodiment 4

Fig. 7 shows Embodiment 4 of the present invention. Whereas the above-described Embodiments 1 – 3 relate to ridge-type waveguides, this embodiment provides an example of an embedded-structure waveguide. In Fig. 7, a quartz optical guide buffer layer 2b is formed in a recess on the silicon substrate and a core layer 2a is formed on the buffer layer. Finally, an embedded clad layer 2d is formed on this structure. The heights of the top of the buffer layer 2b and the top of the relief 10b of the silicon substrate are in agreement. Let L_1 denote the height from the top of the buffer layer 2b to the center of the core layer 2a. Similarly, let L denote the distance from the top of the relief 10b to the activation layer 4a when the semiconductor laser 4 is mounted on the conducting layer (e.g., Ag-Sn) 7 for the relief 10b on the silicon substrate by means of p-side down bonding. By setting $L_1 = L$, the height of the semiconductor laser 4 and the height of the core layer for the optical guide 2 can be made equal, provided that the semiconductor laser is mounted on the substrate. Further, Reference Number 3a denotes a laser guide, which permits the horizontal position alignment of the laser with the waveguide. Thus, as described above, the hybrid integration of optical devices can be accomplished with respect to the embedded structure, as in the case of the ridge-shaped waveguide.

Although in Embodiments 1 – 3 above, quartz waveguides are principally used as optical guides, such optical guides do not need to be restricted to quartz, as long as they can be formed on a silicon substrate, are amenable to etching, and can withstand the high temperature (approximately 350° C) required for the bonding of optical devices. Similarly, optical devices that are mounted are not limited to semiconductor lasers. For example, photodiodes and active devices (e.g., modulators) consisting of LiNbO₂ or semiconductors can be used. Although in the above embodiments 1 – 3, no guides for optical device position alignment are used, guides can be used as in the case of Embodiment 4.

The hybrid optical integrated circuits of these embodiments, in contrast to conventional optical integrated circuits, can effectively use not only waveguides, but also silicon substrates. Therefore, they offer potential applications to the field of large-scale optico-electronic integrated circuits, such as optical interconnect circuits (Patent Application S61-48081) in which optical guide circuits, semiconductor optical devices, and electronic circuits are integrated.

(Effects of the Invention)

According to the present invention, in a hybrid optical integrated circuit wherein optical devices and optical waveguides are optically coupled on a silicon substrate, recesses and reliefs are formed on the surface of the silicon substrate, and optical waveguides are formed on said recesses together with the mounting of optical devices on the reliefs. Thus, the present invention offers the advantage of permitting the hybrid integration of optical devices without the need to make the optical devices into thin pieces on the substrate. As such, the present invention is especially beneficial for single-mode hybrid optical integrated circuits. Further, because in the present invention, the silicon substrate can act as a heat sink for the optical devices, the need for providing a heat sink for optical devices is eliminated. This permits the mounting of optical devices in a high packing density, which is an advantage.

4. Brief Description of Drawings

Fig. 1 (a) and (b) show Embodiment 1 of the present invention, wherein Fig. 1 (a) is a slanted-view diagram and Fig. 1 (b) is a lateral cross-sectional view. Fig. 2 (a) – (e) describe the method for fabrication of the circuits of Fig. 1 (a) and (b). Fig. 3 is a lateral cross-sectional diagram of Embodiment 2 of the present invention. Fig. 4 (a) and (b) describe the method for fabrication of the circuits of Fig. 5. Fig. 5 is a slanted-view diagram that describes Embodiment 3 of the present invention. Fig. 6 illustrates the principles underlying Embodiment 3. Fig. 7 is a slanted-view diagram of Embodiment 4 of the present invention. Fig. 8 is a slanted-view diagram of a conventional optical integrated circuit. Fig. 9 is a lateral cross-sectional view of a conventional optical integrated circuit.

- 2 ... Optical waveguide
- 2a ... Core layer
- 2b ... Buffer layer
- 2c ... Clad layer
- 4 ... Optical device (semiconductor laser)
- 4a ... Activation layer
- 10 ... Silicon substrate
- 10a ... Recess
- 10b ... Relief

Applicant: Japan Telegraph and Telephone Corporation
Agent: Masatake Shiga, Patent Attorney (sealed)

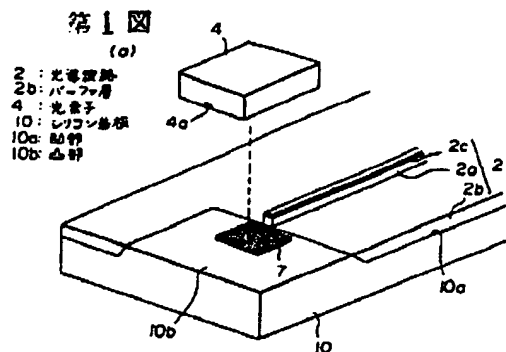


Fig. 1

- 2: optical guide
- 2b buffer layer
- 4 optical device
- 10 silicon substrate
- 10a recess
- 10b relief

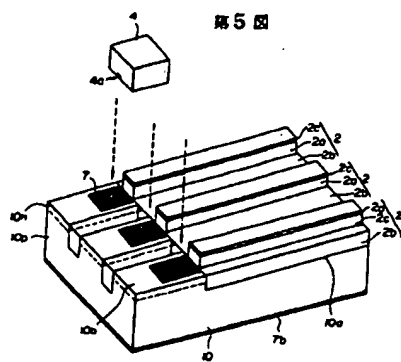


Fig. 5

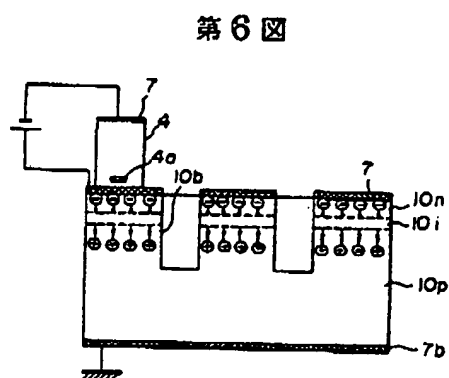


Fig. 6

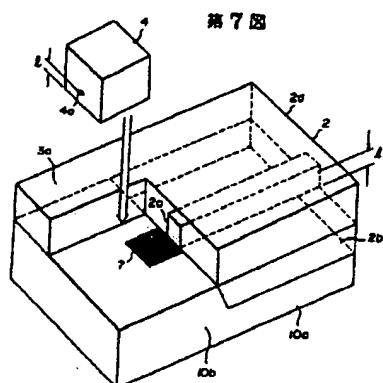


Fig. 7

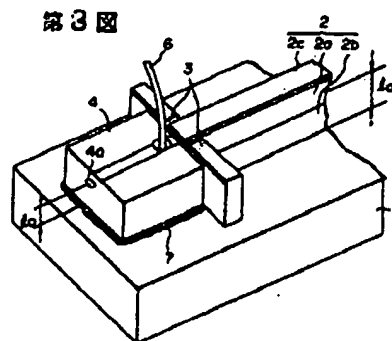


Fig. 8

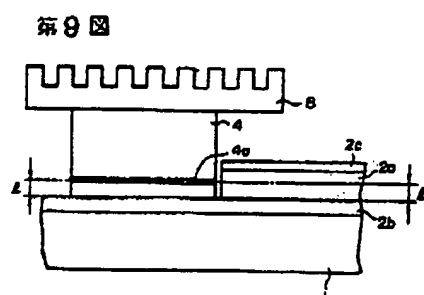


Fig. 9

⑫ 公開特許公報(A)

昭63-131104

⑮ Int.Cl.⁴G 02 B 6/12
H 01 L 27/15

識別記号

庁内整理番号

B-8507-2H
6819-5F

⑬ 公開 昭和63年(1988)6月3日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 ハイブリッド光集積回路

⑰ 特 願 昭61-277058

⑱ 出 願 昭61(1986)11月20日

⑲ 発 明 者 山 田 泰 文 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑲ 発 明 者 河 内 正 夫 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑲ 発 明 者 小 林 盛 男 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑲ 代 理 人 弁理士 志賀 正武

明 細 書

1. 発明の名称

ハイブリッド光集積回路

2. 特許請求の範囲

(1) 表面に凹部および突部が形成されたシリコン基板と、該シリコン基板の凹部に形成された光導波路と、該シリコン基板の凸部に搭載された光素子とを具備してなり、上記光導波路と光素子とが結合していることを特徴とするハイブリッド光集積回路。

(2) 上記光導波路は、そのバッファ層を上記凹部の上面に形成した状態で該凹部に設けられていることを特徴とする特許請求の範囲第1項記載のハイブリッド光集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、シリコン基板上に光導波路と、半導体レーザ等の光素子とを複合一体化したハイブリッド光集積回路に関するものである。

(従来技術・発明が解決しようとする問題点)

光通信や光情報処理分野で必要となる各種光回路の小型化、高信頼化及び低価格化のために、Si基板上に形成した光導波路と各種光素子とを複合一体化したハイブリッド光集積回路の実現が期待される。ハイブリッド光集積回路を実現するためには、同一基板上で光導波路と光素子とを効率よく光結合させることが必要不可欠である。

第8図は、この種のハイブリッド光集積回路のプロトタイプであり、Si基板上に形成した石英系光導波路と半導体レーザとを一体化した例である(H. Terui, Y. Yamada, H. Kawachi and H. Kobayashi: "Hybrid Integration of a Laser Diode and High-silica Multimode Optical Channel Waveguide on Silicon", Electron. Lett. vol21, pp 646-648, 1985)。

第8図で、1はSi基板、2は光導波路であり、コア層2a、バッファ層2b及びクラッド層2cの3層構造をしている。3はレーザガイド、4は半導体レーザ、4aはその活性層である。6は鉛

電用ワイヤ、7は導電膜である。半導体レーザ4は、レーザガイド3に押しあてられ、光導波路2に対する適正位置に位置決めされる。また、半導体レーザ4を基板1上に搭載した際のSi基板1の表面から半導体レーザ4の活性層4a中心までの高さ J_0 は、光導波路2のコア2aの中心の高さ J_1 と等しくなるように $J_0 = J_1$ に設定してある。したがって、半導体レーザ4をSi基板1上に搭載し、導波路とレーザ活性層の横方向の位置を合わせるだけでレーザ・導波路間の位置合せが実現できる。また、この際、半導体レーザ4は、Si基板1上に直接接触しているため、Si基板はレーザのヒートシンクとしても機能している。ところで、上記の構造では、レーザ活性層4aの高さ J_0 を、導波路コア中心の高さ J_1 に一致させるために、半導体レーザ4の基板を必要な厚さにまで研磨する必要があるため、以下のような問題が生ずる。光導波路2の各層の厚さは、多モード系2ではコア層 $\sim 50\mu m$ 、パッファ層 $\sim 15\mu m$ 、クラッド層 $\sim 5\mu m$ 、また、単一モード系で、コ

ア層 $\sim 10\mu m$ 、パッファ層 $\sim 20\mu m$ 、クラッド層 $\sim 10\mu m$ 程度である。したがって、 $J_0 = J_1$ に設定するためには、半導体レーザの基板の厚さを、多モード系に対して $\sim 40\mu m$ 、単一モード系に対して $\sim 25\mu m$ にしなければならない。しかも、厚さに対する要求精度は、多モード系に対しては $\pm 3\mu m$ 以内、単一モード系に対しては $1\mu m$ 以内と厳しい。半導体レーザの構成材料であるGaAs系あるいはInP系は脆弱であり、上記のような精度で研く研磨することは難しく、特に、単一モード系のように薄い半導体レーザをSi基板1上にボンディングすることは困難で、ハイブリッド光集積回路構成上の大きな問題となっていた。半導体レーザ4の基板の研磨を要せず、かつ高さ方向の精密な位置合せを実現する方法としては、第9図のように半導体レーザ4の活性層4a側を下向きにしたp-サイド・ダウン・ボンディングがある。この方法では、半導体レーザ4の活性層4aの上のエピタキシャル成長層の厚さ J と、導波路コア層中心の高さ J_1 とを一致させ

ばよい。エピタキシャル成長層の厚さ J は高々 $5\mu m$ であるので、この厚さを $\pm 1\mu m$ 以内精度で決定することは容易である。しかしながら、この場合は、第8図とは逆に J_1 も高さ $5\mu m$ 程度に設定しなければならないので、導波路コア層厚も $10\mu m$ 以内と制限され、この方法が適用できるのは、単一モード系に限られる。しかも、コア層厚が $10\mu m$ 程度であれば、パッファ層厚も $10\mu m$ 以上必要である。したがって、第9図のように、p-サイド・ダウン・ボンディングを行なう場合、半導体レーザ4をSi基板1に直接接触させることができず、Si基板をヒートシンクとして機能させることはできない。この場合、別個にヒートシンク8を設ける必要が生じ、光集積回路の小型化、高密度化が難しい。

本発明の目的は、従来、光導波路と半導体レーザとをハイブリッド集積する際に問題となった半導体レーザの薄片化の必要をなくし、かつSi基板をヒートシンクとして機能させることにより小型化、高密度化を可能としたハイブリッド光集積回

路を提供することにある。

(問題点を解決するための手段)

本発明は、シリコン基板上で半導体レーザ等の光素子と光導波路とを光結合させるハイブリッド光集積回路において、シリコン基板の表面に凹部と凸部とを形成し、上記凹部上に光導波路を形成し、上記凸部上に光素子を搭載してなるものである。

(実施例)

実施例1

第1図(a)及び(b)は本発明の第1の実施例を説明する図である。10は、凹部10a及び凸部10bを有するSi基板、2は凹部上に形成した石英系光導波路であり、2aはコア層、2bはパッファ層、2cはクラッド層である。4は半導体レーザ、4aはその活性層、7は導電膜である。本実施例では、パッファ層2bはSi基板10の凹部10aを埋めるように形成されており、パッファ層2bの上面の高さは、Si基板凸部10b上面の高さに一致させてある。したがって、パッファ層

2bの上面からコア層2aの中心までの距離 J_1 と、半導体レーザ4をSi基板10上へp-サイド・ダウン・ボンディングした時の凸部10b上面から活性層4aまでの高さ J_2 とを等しく設定することにより、半導体レーザ4の基板を研磨することなしに半導体レーザ4と光導波路2との高さ方向の精度位置合せができる。しかも、この場合、半導体レーザ4は、Si基板10上に直接ボンディングされているので、Si基板10をヒートシンクとして利用することができる。

このような構造の光集積回路は、第2図(a)～(e)のようにして製作することができる。このプロセスを順を追って説明する。(a)図は、Si基板10に凹部10a及び凸部10bを形成する工程である。このためには、例えば、 CF_4 ガス等によるSi基板のドライエッチングあるいはアルカリエッチング液によるSi基板のウェットエッチング(異方性エッチング)が適用できる。ドライエッチングを用いると、Si基板上の段差は垂直に近くなり、一方、ウェットエッチングでは段差は斜め

面はふたたび露出される。最後に、露出したSi基板凸部10bの面上に、例えば、導電膜として Au-Sn 合金膜を蒸着等により形成した後、半導体レーザをp-サイド・ダウンで搭載し固定すればボンディングは終了する。この際、第1図のように、半導体レーザ4の活性層4aからレーザの上面までの距離と、導電膜7の高さとを合わせた高さ J_1 が導波路2のコア中心の高さ J_1 と等しくなるように、半導体レーザ4のエピタキシャル成長層厚または導電膜の厚さをコントロールすればよい。

実施例2

第3図は、本発明の第2の実施例を説明する図である。この実施例は、第1の実施例と異なりSi基板凸部10bの上面と、光導波路パッファ層2b上面の高さが一致していない場合を示している。第3図においては、半導体レーザ4の活性層4aのSi基板凸部10bからの高さ J_1 が導波路コア層2aの中心の高さ J_1 より小さくなっている。パッファ層2bの上面と、Si基板凸部10b上面との間に段差 J_3 ($=J_1 - J_2$)を設けているので、

になる。(b)図は、凹部10a、凸部10bを形成したSi基板10上にパッファ層2bを形成する工程である。これには、例えば、 SiCl_4 、 TiCl_4 等の原料ガスを酸水素炎中で加水分解し、Si基板10上に堆積させ、この後、電気炉中で高温にして透明ガラス化する方法(火炎堆積法)(特願昭58-1473, H.Kawachi et al, Electron. Lett. 19 (1983) 583)を用いる。(c)図は、余分なパッファ層を除去し、Si基板凸部10b表面を露出させ、かつ、基板をこの高さに平坦化する工程である。このためには、機械的研磨によってもよいし、また C_2F_6 等のフロン系ガスによる石英系ガラス膜のドライエッチングによってもよい。(d)図は、平坦化された光集積回路基板上にコア層2a及びクラッド層2cを形成する工程である。これには(b)図で用いた火炎堆積法によればよい。(e)図は、不要部分の石英系導波路をフォトリソグラフとそれらに引き続く C_2F_6 等のフロン系ガスによるドライエッチングにより除去する工程である。この結果、導波路凸部のSi基板

半導体レーザ4をp-サイド・ダウンでSi基板凸部10b上面にボンディングすることにより、半導体レーザ4と光導波路2との高さ合わせができる。例えば、多モード系光導波路のように、コア層厚が、半導体レーザの活性層の上面に成長させるエピタキシャル層より厚くなる場合には、本実施例の光回路構造が有効である。

このような構造の光回路は、例えば以下のようなプロセスで製作できる。はじめに、第2図(a)(b)及び(c)と同様の方法で、Si基板に凹部、凸部を形成した後、石英系光導波路パッファ層を形成し、基板表面を平坦化する。この後、第4図(a)のように、所望の大きさの段差がつくように、石英系光導波路パッファ層をエッチングする。この方法としては、フロン系エッチングガス(例えば C_2F_6)によるドライエッチングによる。この時、石英系ガラス膜とSi基板とのエッチング速度の差から、段差が形成できる。次に、第4図(b)のように、この上にコア層2aを形成し、さらにクラッド層を形成して石英系光導波路を形成する。

この際、実施例1とは異なり、本実施例では、基板表面には若干の段差が生じる。この段差は、第4図(a)のSi基板凸部10b上面とパッファ層上面2bとの間の段差を反映している。この段差が大きく、この後の光導波路パターン化プロセスに影響がある場合は、第2図(c)のように機械的研磨により表面を平坦化する。最後に、第2図(e)の工程により、不要部分の石英系光導波路を除去すればよい。

実施例3

第5図は、本発明の第3の実施例であり、1つの基板上に複数の半導体レーザ4を搭載したものである。複数の半導体レーザをp-サイド・ダウン・ボンディングし、かつ各素子毎に独立して動作させる場合、半導体レーザのp側の電極は、素子毎に絶縁されていなければならない。このために、本実施例では基板となるSiに、p-n接合部を形成し、ここに逆バイアスをかける方法（例えばJ.D. Crow et al. "Galium arsenide laser array-on-silicon package", Appl. Opt. ,

vol 17, 479, (1978))を採用している。すなわち、Si基板10として、p形基板を用い、Si基板凸部10bにドーパントを拡散し、n形領域10nを形成している。さらに、本実施例では、Si基板凸部10bを各素子毎に独立に形成した。図において7bは導電膜である。Si基板凸部10bが上記のように製作されているので、この上に、半導体レーザ4をp-サイド・ダウン・ボンディングした時、第6図のように、素子毎の絶縁を保つことができる。すなわち、半導体レーザ4に順方向バイアスを印加する。このとき、Si基板はn形領域10nの電位がp形領域10pの電位より高い逆方向バイアス状態となる。この結果、p-n接合部にドーパントがない空乏層10iが広がるので、Si基板上のp形領域とn形領域とは互いに絶縁される。さらに、Si基板上の各凸部10bの間には、p-n接合部の深さより深い溝が形成されている。したがって、各凸部10b上面に形成されたn領域10nは、互いに、電気的絶縁がなされている。本実施例において、光導波路2及び

半導体レーザ4の寸法は、実施例1または実施例2の関係を満たしているので、半導体レーザをSi基板凸部に搭載し、光導波路2との光結合を行なうことができる。しかも、上述のように、Si基板がヒートシンクとして作用するので、ハイブリッド集積化を行なうにあたり、別個にヒートシンクを用意する必要がない。このため、高密度での基板上への素子搭載が可能となる。

実施例4

第7図は、本発明の第4の実施例である。上述の実施例1～3がリッジ状導波路に関する例であったのに対して、本実施例は埋め込み構造の導波路に関するものである。第7図においては、Si基板凹部10a中に、石英系光導波路パッファ層2bが、その上に、コア層2aが形成されており、最後に、埋め込みクラッド層2dが形成されている。パッファ層2bの上面と、Si基板凸部10b上面の高さが一致している。パッファ層2bの上面から、コア層2aの中心までの高さを l_1 とする。半導体レーザ4をp-サイド・ダウンでSi基

板凸部10bの導電膜（例えばAu-Sn）7上に搭載した時、凸部10b上面から、活性層4aまでの距離を l_2 とする。 $l_1 = l_2$ と設定することにより、半導体レーザを基板上に搭載すれば半導体レーザ4と光導波路2のコア層との高さを一致させることができる。また、3aはレーザ・ガイドであり、これによりレーザと導波路との横方向の位置合せを行なうことができる。以上のように、埋め込み構造に対してもリッジ状導波路に対すると同様の光素子のハイブリッド集積が可能である。

なお、上記実施例1～3では、光導波路としては、主に石英系導波路を用いたが、Si基板上に形成でき、かつ、エッチングのできる材料であり、さらに、光素子をボンディングする際の高温（～350℃）に耐えられる導波路であれば、石英系に限定はされない。また、搭載すべき光素子は半導体レーザに限定されない。例えばフォトダイオードでもよいし、また、LiNbO₃または半導体等からなる能動素子（例えば、変調器）を用いてもよい。また、上記実施例のうち、1～3では、

光素子位置決め用のガイドは用いていないが、これらについても、実施例4と同様にガイドを用いることが可能である。

本実施例のハイブリッド光集積回路は、従来の光集積回路と異なり、導波路のみならず、Si基板を有効に利用することができるので、例えば、光配線回路（特願昭61-48081）のような光導波回路、半導体光素子及び電子回路等を一体化した大規模な光-電子集積回路の分野への応用が期待される。

（発明の効果）

本発明によれば、シリコン基板上で光素子と光導波路とを光結合させるハイブリッド光集積回路において、シリコン基板の表面に凹部と凸部とを形成し、上記凹部上に光導波路を形成すると共に上記凸部上に光素子を搭載するようにしたから、光素子の基板の薄片化なしに、光素子をハイブリッド集積できるという利点があり、特に、単一モード系ハイブリッド光集積回路に有効である。さらに、本発明では、Si基板を光素子のヒートシン

クとして機能させることができるので、光素子にヒートシンクを付けることは不要となり、したがって、高密度の光素子搭載が可能である、という利点がある。

4. 図面の簡単な説明

第1図(a)、(b)は本発明の第1実施例を示す図であって、同図(a)は斜視図、同図(b)は側断面図、第2図(a)～(e)は第1図(a)、(b)の回路の製作方法を説明する図、第3図は本発明の第2の実施例の側断面図、第4図(a)、(b)は第5図の回路の製作方法を説明する図、第5図は本発明の第3の実施例を説明する斜視図、第6図は第3実施例の原理説明図、第7図は本発明の第4の実施例を説明する斜視図、第8図は従来の光集積回路の斜視図、第9図は従来の光集積回路の側断面図である。

2…光導波路、2a…コア層、2b…パツファ層、2c…クラッド層、4…光素子（半導体レーザ）、4a…活性層、10…シリコン基板、10a…凹部、10b…凸部。

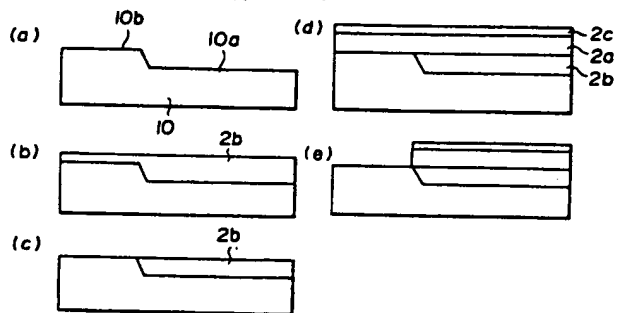
部、10b…凸部。

出願人 日本電信電話株式会社

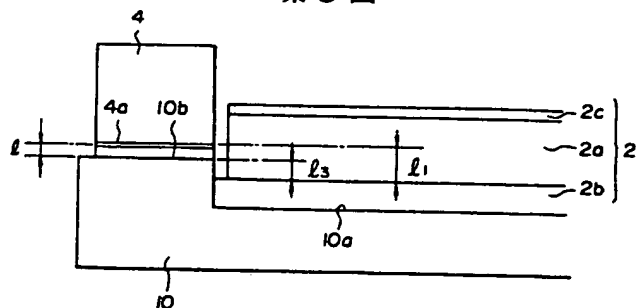
代理人 弁理士 志賀正武



第2図

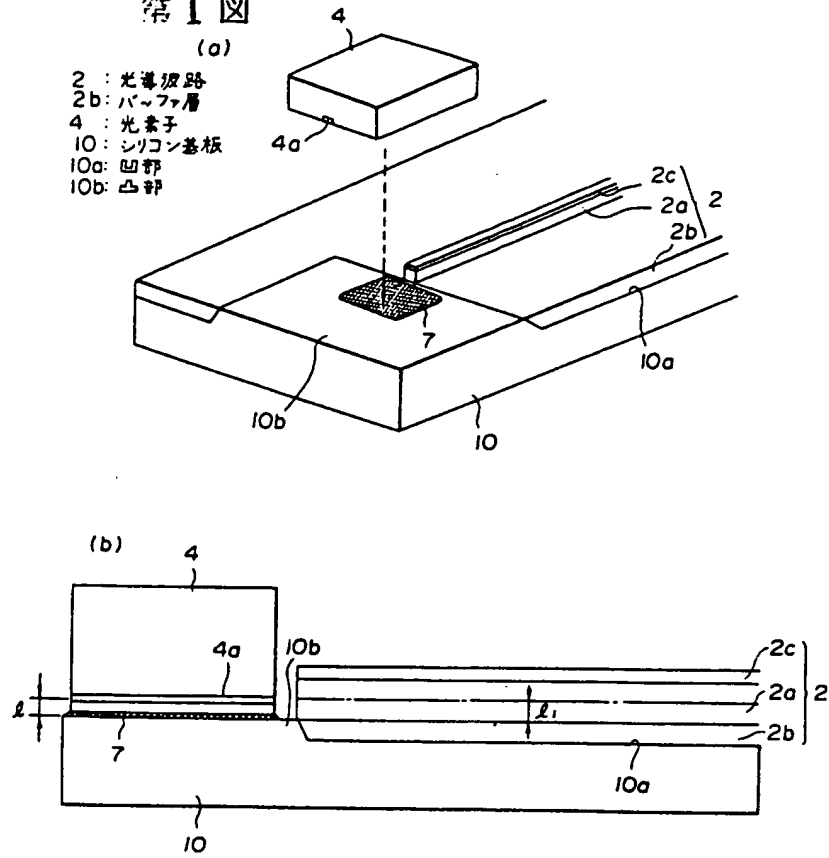


第3図

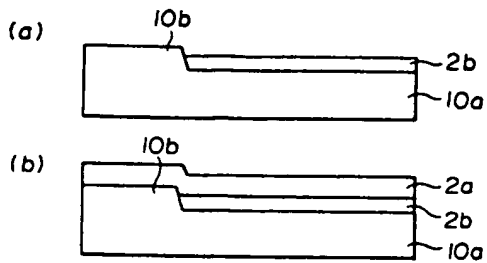


第1図

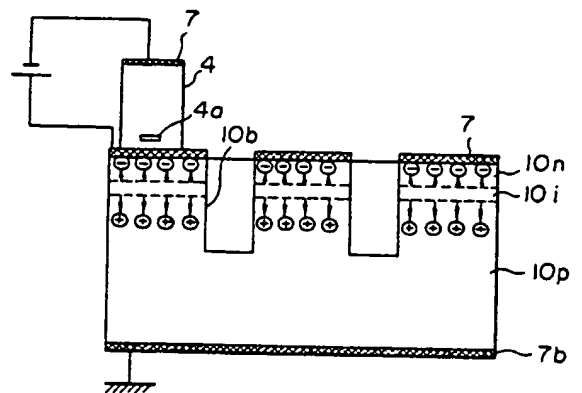
(a)
 2 : 光導波路
 2b : パッパ層
 4 : 光素子
 10 : シリコン基板
 10a : 凹部
 10b : 凸部



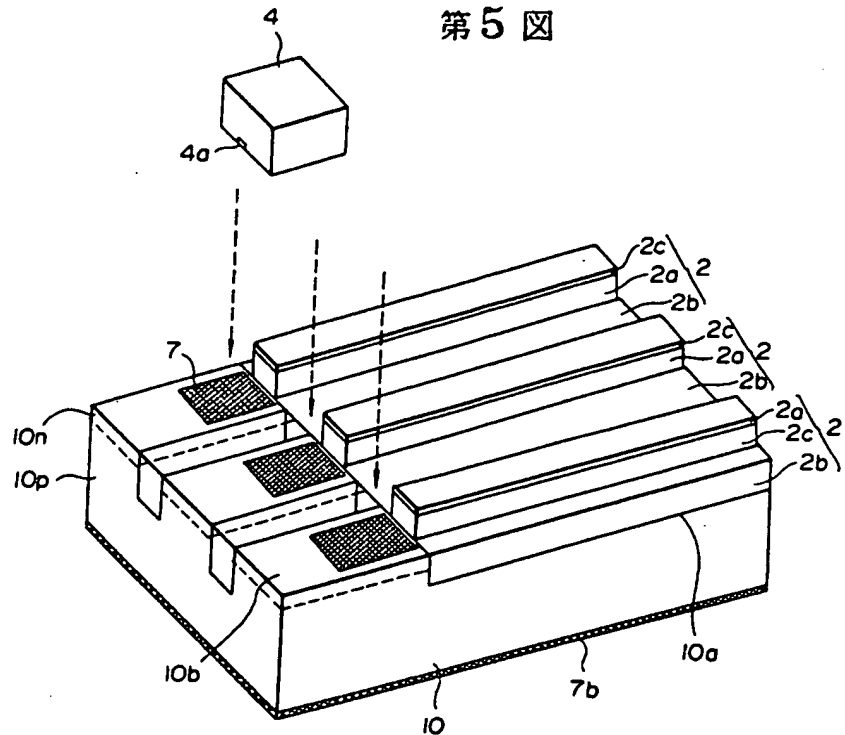
第4図



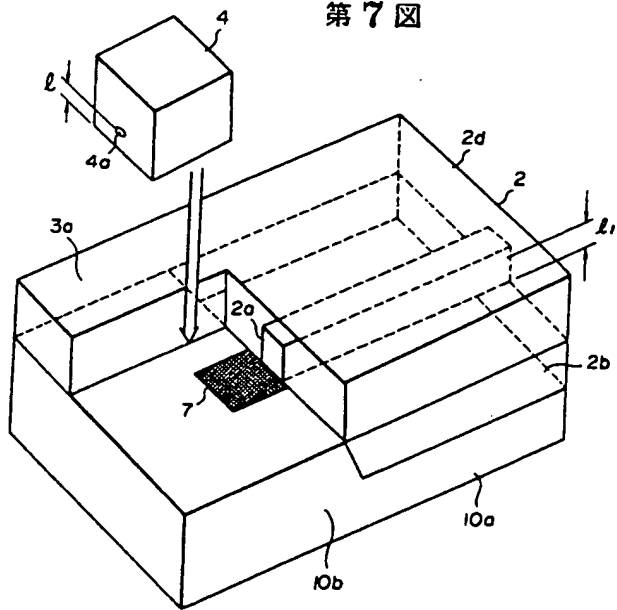
第6図



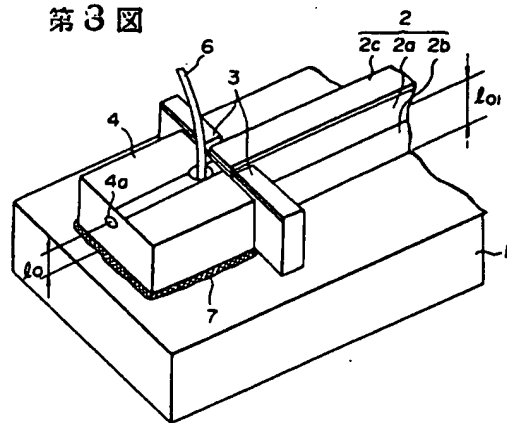
第5図



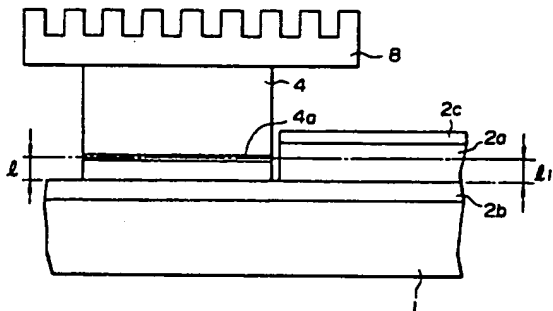
第7図



第3図



第9図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.